* 1. **Eletrônica de Front-End**

A amplitude e largura dos pulsos advindos da SiPM são muito pequenos para detecção pelas portas de entrada do FPGA. Para isso, o circuito de Front-End (FEE) é responsável por amplificar e alongar esse sinal. Além disso, para diferenciar o pulso proveniente da detecção de uma partícula de sinais de ruído, que podem ser de origem térmica, da fonte de alimentação ou de interferência externa, a saída do circuito amplificador passa por um discriminador, cuja saída é então alimentada no módulo contador, a unidade FPGA. Segue abaixo o esquemático do circuito:



O circuito possui dois estágio de amplificação, sendo o ganho total o produto do ganho de cada estágio. O discriminador se trata basicamente de um comparador ADCMP600. Quando o sinal de entrada ultrapassa a tensão de referência (threshold) na porta Vn, a saída vai para alto, transformando o pulso analógico em um pulso digital.

A tensão de referência pode ser gerada por um circuito manual de threshold, que usa um trimpot como divisor de tensão, ou a partir de uma saída de um dos módulos DAC, representada pela tensão DACthDisc no esquemático. A escolha da tensão é feita através da ligação via jumper entre o terminal do header conectado ao discriminador e o terminal com a tensão escolhida.